



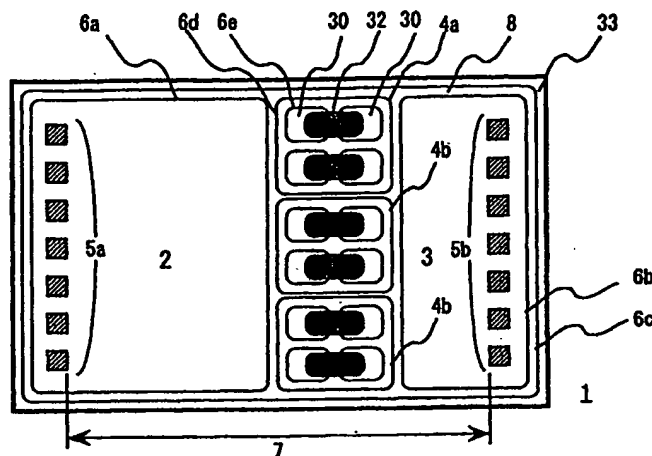
PCT

特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類 H01L 27/04, 21/822, 21/762, 27/12, 23/50</p>	<p>A1</p>	<p>(11) 国際公開番号 WO99/66557</p> <p>(43) 国際公開日 1999年12月23日(23.12.99)</p>
<p>(21) 国際出願番号 PCT/JP99/02913</p> <p>(22) 国際出願日 1999年5月31日(31.05.99)</p> <p>(30) 優先権データ 特願平10/170740 1998年6月18日(18.06.98) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)</p> <p>(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてののみ) 根本峰弘(NEMOTO, Minehiro)(JP/JP) 小嶋康行(KOJIMA, Yasuyuki)(JP/JP) 金川信康(KANEKAWA, Nobuyasu)(JP/JP) 行武正剛(YUKUTAKE, Seigou)(JP/JP) 〒319-1221 茨城県日立市大みか町七丁目1番1号 株式会社 日立製作所 日立研究所内 Ibaraki, (JP) 古川且洋(FURUKAWA, Katsuhiko)(JP/JP) 〒198-0024 東京都青梅市新町六丁目1番1号 株式会社 日立製作所 デバイス開発センタ内 Tokyo, (JP)</p>	<p>(74) 代理人 弁理士 高田幸彦, 外(TAKADA, Yukihiro et al.) 〒317-0073 茨城県日立市幸町二丁目1番48号 Ibaraki, (JP)</p> <p>(81) 指定国 JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)</p> <p>添付公開書類 国際調査報告書</p>	

(54)Title: SEMICONDUCTOR DEVICE

(54)発明の名称 半導体装置



(57) Abstract

A small semiconductor device in which adequate insulation is provided between its primary and secondary circuits. A semiconductor chip (1) comprises first and second terminal electrodes (5) connected with circuit regions (2, 3), and an insulating region (4) arranged to isolate the first and second terminal electrodes electrically and transfer signals between the first and second terminal electrodes. The first and second terminal electrodes of a semiconductor device can be adequately isolated.

(57)要約

1次側回路と2次側回路間で高い絶縁性を有し、かつ小型の半導体装置を実現する。

1つの半導体チップ1に、回路領域2と、回路領域3に接続される複数の第1及び第2の端子電極5と、第1及び第2の端子電極間を電氣的に分離し、かつ第1及び第2の端子電極間で信号を伝達する絶縁分離領域4とを形成し、絶縁分離領域4を第1及び第2の端子電極間に設ける。

同じ半導体チップ上で、第1及び第2の端子電極間を高い絶縁性で分離できる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	RU ロシア
AL アルバニア	EE エストニア	LC セントルシア	SD スーダン
AM アルメニア	ES スペイン	LI リヒテンシュタイン	SE スウェーデン
AT オーストリア	FI フィンランド	LK スリ・ランカ	SG シンガポール
AU オーストラリア	FR フランス	LR リベリア	SI スロヴェニア
AZ アゼルバイジャン	GA ガボン	LS レソト	SK スロヴァキア
BA ボスニア・ヘルツェゴビナ	GB 英国	LT リトアニア	SL シェラ・レオネ
BB バルバドス	GD グレナダ	LU ルクセンブルグ	SN セネガル
BE ベルギー	GE グルジア	LV ラトヴィア	SZ スワジランド
BF ブルキナ・ファソ	GH ガーナ	MA モロッコ	TD チャード
BG ブルガリア	GM ガンビア	MC モナコ	TG トーゴ
BJ ベナン	GN ギニア	MD モルドヴァ	TJ タジキスタン
BR ブラジル	GW ギニア・ビサウ	MG マダガスカル	TZ タンザニア
BY ベラルーシ	GR ギリシャ	MK マケドニア	TM トルクメニスタン
CA カナダ	HR クロアチア	共和国	TR トルコ
CF 中央アフリカ	HU ハンガリー	マリ	TT トリニダード・トバゴ
CG コンゴ	ID インドネシア	ML モンゴル	UA ウクライナ
CH スイス	IE アイルランド	MN モンゴリア	UG ウガンダ
CI コートジボアール	IL イスラエル	MR モーリタニア	US 米国
CM カメルーン	IN インド	MW マラウイ	UZ ウズベキスタン
CN 中国	IS アイスランド	MX メキシコ	VN ヴイエトナム
CR コスタ・リカ	IT イタリア	NE ニジェール	YU ユーゴスラビア
CU キューバ	JP 日本	NL オランダ	ZA 南アフリカ共和国
CY キプロス	KE ケニア	NO ノールウェー	ZW ジンバブエ
CZ チェッコ	KG キルギスタン	NZ ニュー・ジーランド	
DE ドイツ	KP 北朝鮮	PL ポーランド	
DK デンマーク	KR 韓国	PT ポルトガル	
		RO ルーマニア	

## 明細書

## 半導体装置

## 技術分野

- 5       本発明は、回路領域間を絶縁分離し、かつ電気信号を伝達する絶縁カブラ、あるいはそれを用いたアイソレータ、並びにアイソレータを用いた応用回路を含む半導体装置に関する。

## 背景技術

- 10       安全性を確保するためやノイズなどを低減するために、複数の回路間を電氣的に絶縁分離する必要がある場合（１次側回路と２次側回路を絶縁する必要がある時）、従来は個別部品のトランスやフォトカブラなどが用いられてきた。これらは一般に絶縁カブラやアイソレータと呼ばれている。例えば通信の分野においては、公共性の高いネットワーク設備の保護と端末装置の保護のために、ネット
- 15       ワークと端末の境界に高い絶縁性が要求されている。この高い絶縁性を確保するために、従来から通信用の小型トランスなどのアイソレータが使われてきた。また、計測、医療等の分野においては、人体や計測機器に対する安全性や対ノイズ性のため、センサ部と信号波形処理回路など信号検出部と信号処理部とを絶縁する必要があり、アイソレータは絶縁分離手段として用いられてきた。
- 20       トランスで絶縁する場合、トランスに用いる材料や構造などの制約のため、他の個別部品と比較すると小型化には限界があった。したがって、近年急速に発達してきた携帯型端末装置やカード型インターフェイス装置などの小型化、軽量化の要求に十分こたえられない場合があった。また、トランジスタや抵抗などの他の個別部品と比較すると価格が高く、小型化のために特殊な材料を用いた場合さ
- 25       らに価格の上昇を招いた。
- これら小型化、軽量化、低価格化の課題を解決するために、発光素子と受光素子を組み合わせたフォトカブラを用いたアイソレータが考案された。しかし、

フォトカブラ形のアイソレータの場合、素子の構造上、温度変化などの外部特性で電気特性が変化しやすく、これらを補正しようとするれば精密な制御が必要な補正回路が必要であった。また、一般的な半導体装置の製造工程とは別に発光、および受光素子用に特別な製造工程が必要である。したがって、一般に高価であり、  
5 また、発光・受光素子と駆動・検出・補正回路等の半導体装置を同時に作り込む事は困難であった。

小型化・低価格化を目的として、容量性アイソレータが開発されている。絶縁バリアを構成するための個別部品として、電力用、あるいはサージ保護用のセラミックキャパシタが知られており、これを用いた信号伝送用の回路は容量性絶縁  
10 アンプ、もしくは容量性絶縁カブラと呼ばれている。容量性絶縁バリアを通じて信号を伝送する伝送方法として、PWM（パルス幅変調）方式などが一般に用いられているが、この方式は容量性絶縁カブラなどに使われる以前から絶縁トランスやフォトカブラを用いたアイソレータで応用されてきた。

モデム等の回線インターフェイス応用では、USP4,757,528（以下528特許と  
15 略す）で容量性絶縁バリアを用いたモノリシック半導体化のアイデアについて開示している。また、モノリシックではないが、特開平7-307708号公報において、3つの容量性絶縁バリアとこれを用いたデジタルPWM信号伝送のモデム応用回路方式が提案されている。

アイソレータには、今後さらなる小型化、軽量化、低価格化等の要求があり、  
20 この観点でこれら従来技術を検討すると、以下のような課題と問題点がある。

528特許以前の技術は、高耐電圧性能を有す得る絶縁バリアと、入力信号を伝送に適した波形にする信号変調回路部、受け取った伝送信号を元の信号に戻す信号復調回路部はそれぞれ別の部品であり、複数の部品を同一パッケージなどに搭載してアイソレータを構成している。したがって、部品点数が多く、しかも組  
25 立工程も複雑になるため低コスト化に問題がある。また、複数の部品を1つにモールドするため、小型化にも問題があった。

528特許では、モノリシック半導体を用いた応用回路である回線インター

フェイスを構成するアイデアとして、容量性絶縁バリアとPWM伝送方式を用いる事が示されている。この製造方法は、モノリシック半導体上に誘電体分離プロセスを用いた容量性絶縁バリアとPWM回路からなる絶縁カブラを形成し、音声帯域の信号を伝送するとしている。しかし、開示されているのは熱パルスによる絶縁スイッチの制御に関する技術であり、モノリシック半導体基板上にどのような構造の絶縁バリアや制御回路を、どのような方法によって構成するのか、その結果どのように動作して、どのような効果を示すのかは開示されていない。

特開平7-307708号公報では、従来1つの伝送バスに2つの絶縁バリアが使われてきたのに対して、3つの容量性絶縁バリアで3つの信号を伝送する回路構成が示されている。しかし、どのように動作させて信号伝送するのかは示されていない。また、これらの回路を絶縁バリアを含めてモノリシック化する提案もされていない。

トランスやフォトカブラなどを用いた従来技術によるアイソレータの場合、実装における部品点数の多さや部品自体の構造のため、市場が求めるような小型化や低価格化には限界があった。また、トランスを用いたアイソレータなどと比較して、小型化が期待される容量性絶縁バリアを用いたアイソレータが提案されているが、容量性バリアやその伝送回路は個別部品であって、その小型化には限界があった。さらに、これらをマルチチップモジュールで構成した場合、モジュールの製造コストが高くなるという問題もあった。

モノリシックに周辺回路と容量性バリアを構成するアイデアが開示されているが、容量性バリアの具体的な構造や容量性バリアを用いるための回路、それらの配置などは開示されていない。したがって、具体的な実現手段や構成が明示されておらず、より一層の小型化、低価格化を実現するための具体的な技術は提示されていない。

本発明は、上記のような問題を考慮してなされたものであり、小型化、または低価格化を実現し、かつ高い絶縁性を有する絶縁バリア、およびその絶縁バリアを用いたモノリシックアイソレータIC、および応用回路ICを提供する。

また、本発明は、絶縁バリアやその制御回路、および周辺応用回路を1つの半導体チップ内に構成し、かつ絶縁分離された領域間で高い耐電圧性能を実現するための、配置方法を提供する。

本発明は、モノリシックアイソレータ構成した半導体装置をICパッケージに実装したときに高い耐電圧性能を実現するための、設計技術を提供する。

#### 発明の開示

本発明による半導体装置は、1つの半導体チップが、回路領域と、回路領域に電氣的に接続される複数の第1の端子電極及び複数の第2の端子電極と、複数の第1の端子電極と複数の第2の端子電極との間を電氣的に分離するとともに、第1の端子電極と第2の端子電極との間で信号を伝達する絶縁分離領域とを有する。これにより、絶縁性を有しながらも、半導体装置は小型化される。ここで、本発明による半導体装置を、SOI (Silicon on Insulator) 基板、もしくは誘電体分離基板とトレンチ技術による絶縁分離溝を用いる事によって、複数の回路領域間を電氣的に絶縁分離する。また、回路領域間の信号伝送手段として、絶縁分離溝を応用した高耐電圧容量や、層間絶縁膜を利用した高耐電圧容量、配線と層間絶縁膜を応用したトランスなどを用いる。

この時、本発明による半導体装置を実際に構成するにあたり、小型化、低価格化と高い耐電圧性能を実現するためのポイントは、以下の点にある。

(1) 絶縁分離された複数の回路領域とアイソレータをモノリシック化した半導体装置のチップレイアウトにおいて、半導体装置のあらゆる部分において必要な耐電圧性能が得られるように、回路領域間の絶縁分離のほか、半導体装置の支持基板部分と回路領域間の絶縁分離においても必要な耐電圧性能が得られるように絶縁分離する。

(2) 前記の半導体装置のチップレイアウトにおいて、互いに絶縁分離された回路領域の占める面積が等しくなるように設計し、回路領域間に高電圧を加えても電圧分担が等しくなるようにする。

(3) 前記の半導体装置のチップレイアウトにおいて、互いに絶縁分離された回路領域の占める面積が異なる時、回路領域間に高電圧を加えた場合に生じる分担電圧の不均等を、回路を分離する絶縁分離溝の構成を回路面積に応じて変更する事により解消する。また、回路領域内部に絶縁分離溝で囲んだ未給電領域を設けたり、回路領域の外部に調整用の給電領域を新たに設けたり、半導体装置の外部に外付けの容量を接続する。あるいはこれらの併用で分担電圧の不均等を解消する。

(4) 前記の半導体装置のチップレイアウトにおいて、絶縁膜からむき出しになる端子のうち、耐電圧が必要な端子電極間の距離を、絶縁破壊を起こさないような値にする。つまり、半導体装置の内部に加え、半導体装置の外部においても必要な耐電圧を得るようなレイアウトにする。

(5) 前記の半導体装置において、パッケージに実装するため、端子電極とリード間を電氣的に接続するボンディングワイヤと、絶縁膜からむき出しになった半導体装置の一部（ボンディングパッド開口部や半導体チップの終端部など）の距離を、絶縁破壊を起こさないような値にする。

(6) 前記の半導体装置を実装したパッケージにおいて、絶縁分離が必要なリード間の距離を絶縁破壊を起こさない値にする。具体的には、絶縁分離が必要なインナーリード間の距離や、インナーリードと半導体装置を載せたダイパッド間の距離、パッケージから引き出されたアウターリード間の距離を、必要な耐電圧に応じた絶縁破壊を生じない値に設定する。もちろん、端子部は半導体内部の耐電圧値よりも高くなるように設計し、デバイス性能を十分に引き出すようにする。

本発明を適用する事によって、絶縁分離された複数の回路領域とアイソレータをモノリシック化した半導体装置をICパッケージなどに実装し、実際に使用できる形態で提供する事が始めて可能になる。また、本発明による半導体装置を、通信の分野におけるモデム回路やモデム回路を内蔵する端末装置に応用すれば、これらの回路や装置を小型化することができる。なお、本発明による半導体装置

は、通信分野のみならず、計測や医療の分野にも応用できる。例えば、各種のセンサと信号処理回路との間の絶縁分離に用いれば、耐ノイズ性や人体に対する安全性を向上することができる。

## 5 図面の簡単な説明

図1は、本発明による半導体装置の1実施例を示した模式図である。

図2は、本発明による半導体装置の1実施例を示した略断面図である。

図3は、本発明による半導体装置に内蔵されるアイソレータの1実施例である。

図4は、本発明による半導体装置に内蔵されるアイソレータの別の実施例であ

10 る。

図5は、アイソレータに用いるキャパシタを形成した1実施例である。

図6は、アイソレータに用いるキャパシタを形成した別の実施例である。

図7は、本発明による半導体装置の別の実施例を示した模式図である。

図8は、本発明による半導体装置の1実施例を示した略断面図である。

15 図9は、本発明による半導体装置の別の実施例を示した模式図である。

図10は、本発明による半導体装置の1実施例を示した略断面図である。

図11は、本発明による半導体装置に内蔵されるアイソレータの別の実施例である。

図12は、本発明による半導体装置の1実施例の実装形態を示した斜視図である。

20 図13は、本発明による半導体装置をパッケージに組み込んだ1実施例である。

図14は、本発明による半導体装置をパッケージに組み込んだ別の実施例である。

図15は、本発明による半導体装置をパッケージに組み込んだ別の実施例である。

25 図16は、本発明によるリードフレーム形状を示した1実施例である。

図17は、本発明による半導体装置をモデムA F Eに応用した1実施例である。

図18は、本発明による半導体装置をアイソレータアレイに応用した1実施例



である。

図19は、本発明による半導体装置を応用した別の実施例である。

発明を実施するための最良の形態

5 図1は本発明の1実施例である半導体装置の構造を模式的に示した図である。半導体装置は1つの半導体チップ1からなり、大きく分けて1次側回路領域2、2次側回路領域3、これら回路領域を電氣的に絶縁分離し、かつ信号を伝送するアイソレータ領域4で構成している。それぞれの領域は半導体チップの単結晶半導体領域に形成するが、各半導体領域は、酸化シリコンなどの絶縁体を用いた絶縁分離溝6によって電氣的に互いに分離している。図1では、1次側回路領域2は絶縁分離溝6aで囲み、2次側回路領域3は絶縁分離溝6bで囲んでいる。また、アイソレータ領域4は絶縁分離溝6dで囲んでいる。アイソレータは、配線32と層間絶縁膜と半導体領域30で構成した平板形の高耐電圧キャパシタを2つ用いて1つのアイソレータを構成する。実施例では合計3個のアイソレータを実装して

10 いる。1次側回路領域2、2次側回路領域3、アイソレータ領域4を絶縁体6cで囲むことにより、各領域の周りにある半導体領域8と、ダイシングによってむき出しとなった半導体チップの最外周シリコン領域33の間を絶縁分離している。

図では、各領域を分離している絶縁体は1本の溝としているが、高い絶縁耐電圧が必要な場合、複数からなる絶縁分離溝で構成する。本実施例では、1次回路領域2と2次回路領域3の間に必要な絶縁分離耐電圧が3000V、分離溝1本あたりの耐電圧能力が100Vで、1次側回路領域2を15本の絶縁分離溝6aで囲み1500Vの耐電圧、2次側回路領域を15本の絶縁分離溝6bで囲み1500Vの耐電圧、アイソレータ領域4を15本の絶縁分離溝6dで囲み1500Vの耐電圧、よって各々領域間で3000Vの耐電圧を得ている。一方、アイソレータ4を構成する高耐電圧キャパシタを囲む絶縁分離溝6eは、周囲とキャパシタ部を電氣的に分離するために必要であるため、1～2本の絶縁分離溝6eで十分である。例えば、回路領域内部において、n型MOSFETとp型MOSFETで構成したCMOSを、絶縁分離溝1本を用いてn型

20

25

MOSFETが占める部分を囲むことによりラッチアップ現象を防ぐことができる。このように本実施例では、絶縁分離溝6を、高い絶縁分離耐電圧が必要な部分と、比較的低い絶縁分離が必用な部分で分離溝で領域を囲む本数を変えている。

このような半導体チップを形成する半導体基板としては、高い絶縁耐電圧を得るために、誘電体分離基板やSOI (Silicon on Insulator) 基板が用いられる。

5 半導体チップ1において、1次側回路領域2と2次側回路領域3は、アイソレータ領域4を間に挟んで配置するため確実に電氣的に分離される。その一方、1次側回路領域と2次側回路領域との間で、信号はアイソレータ領域4を通して伝送される。信号入出力用の端子電極である複数のボンディングパッド5は、1次側

10 回路領域2の側と2次側回路領域の側において、それぞれ各回路領域内に設ける。図示してはいないが、1次側回路領域2の側及び2次側回路領域3の側のボンディングパッド5は、それぞれ1次側回路領域2及び2次側回路領域3と電氣的に接続する。したがって、1次側回路領域2の側のボンディングパッド5aと2次側回路領域3の側のボンディングパッド5bとの間は、アイソレータ領域4によって電氣的に絶縁分離されるとともに、アイソレータ領域4を介して信号を伝

15 送する。ボンディングパッド5は、矩形状の半導体チップ1の周辺部において、その矩形の向かい合う2辺に沿って配列する。このため、1次側回路領域2の側のボンディングパッド5aと2次側回路領域3の側のボンディングパッド5bは、アイソレータ領域4を間に挟んで、さらに1次側回路領域2と2次側回路領域3

20 を間に挟んで、半導体チップ上で離れて配置する。したがって、1次側回路領域2の側のボンディングパッドと2次側回路領域3の側のボンディングパッドとの間に必要な絶縁耐電圧が得られる。なお、1次側回路領域2の側のボンディングパッド5aと2次側回路領域3の側のボンディングパッド5bとの間の距離7は、アイソレータ領域4の耐電圧以下で1次側回路領域2の側のボンディングパッド

25 5aと2次側回路領域3の側のボンディングパッド5bとの間が絶縁破壊を起こさないような大きさの距離にする。これは、ボンディングパッド部5が各回路領域で唯一、絶縁分離体からむき出しになるため、半導体装置の絶縁体の耐電圧で

は決まらず、半導体装置を取り囲む環境（たとえばモールド材や大気など）で絶縁破壊電圧が決まるからである。

このように本実施例の特徴は、1つの半導体チップ内に互いに絶縁分離した複数の回路領域と、これら回路領域間の絶縁分離を保ちつつ、信号のみを伝送するアイソレータを集積しているところにある。その結果、本実施例によれば回路領域間で高い絶縁性を有しながらも小型化が可能な半導体装置となる。これにより、アイソレータの小型化と低価格化を実現する事ができる。

図2は、図1に示した本発明の1実施例の略断面構造を示した図である。本実施例ではSOI基板11を用いた例である。本実施例は、支持基板9、埋め込み絶縁層10、回路領域2、3、絶縁分離溝6、アイソレータ用回路領域30、層間絶縁膜31、配線32などから構成されている。なお、各回路領域内のデバイス群は省略して記載している。1次側回路領域2は、SOI基板の埋め込み絶縁層10と絶縁体で埋められた絶縁分離溝6a、層間絶縁膜31によって電氣的に他の領域と絶縁分離される。同様に2次側回路領域3はSOI基板の埋め込み絶縁層10と絶縁体で埋められた絶縁分離溝6b、層間絶縁膜31によって電氣的に他の領域と絶縁分離される。回路領域を電氣的に絶縁分離し、かつ信号を伝送するアイソレータ4は、層間絶縁膜31と配線32、アイソレータ用半導体領域30a、およびアイソレータ用半導体領域を囲む絶縁分離溝6eからなる平板形高耐圧キャパシタ13と、層間絶縁膜31と配線32、アイソレータ用半導体領域30b、およびアイソレータ用半導体領域を囲む絶縁分離溝6fからなる平板形高耐圧キャパシタ13を2個直列に接続し、さらにこれらを絶縁分離溝6dで取り囲むようにして構成している。このように、各回路領域を埋め込み絶縁層10と絶縁分離溝6、層間絶縁膜31で囲む構造により、1次側回路領域2と2次側回路領域3の間に高電圧を加えても回路領域間の電氣的絶縁が保たれる。また、図1でも述べたように、高い絶縁分離耐電圧が必要な場合、各領域を分離する絶縁分離溝は複数本で構成されることが多い。図2では各絶縁分離溝は1本で表記されているが、例えば各領域間で必要な絶縁分離耐電圧が3000V、絶縁分離溝1本あたりの耐

電圧が100Vであれば、1次側回路領域を囲む絶縁分離溝6 a、2次側回路領域を囲む絶縁分離溝6 b、アイソレータを囲む絶縁分離溝6 dはそれぞれ15本の絶縁分離溝で構成する。

ここで、1次回路領域と2次回路領域に高電圧を加えたとき、各半導体領域がどのような電位になるかを考えてみる。1次側回路領域2と2次側回路領域3の間に高電圧を加えた時、支持基板9の電位は、埋め込み絶縁層10を挟んで、1次側回路領域2と2次側回路領域3の中間に位置するため、加えた電圧のほぼ半分の電位となる。同様に、1次側回路領域2を囲む絶縁分離溝6 aと2次側回路領域3を囲む絶縁分離溝6 bとの間にある半導体領域8も、加えた電圧のほぼ半分の電位となる。ここで、半導体チップをダイシングした際、チップ端面はむき出しとなり、支持基板9と最外周シリコン領域33がショートしている事が十分考えられるので、支持基板9の電位とチップ表面の最外周シリコン領域33は同電位と見なすのが妥当である。最外周シリコン領域33の電位と各回路領域間の半導体領域8の電位は、回路領域の浮遊容量が異なる場合、電位に差が生じるため、各回路領域の外周にある半導体領域8とチップの最外周シリコン領域33を絶縁分離溝6 cで絶縁分離する。

このように、1次側と2次側回路間に電圧を加えた時、アイソレータ12ばかりでなく半導体装置のあらゆる部分で電圧を分担するため、半導体装置のいかなる部分においても、設計した耐電圧以下で絶縁破壊が生じないようにしなければならない。また、各回路領域と電氣的に接続されたボンディングパッド5の部分は、絶縁分離された回路領域の中で唯一、絶縁分離体からむき出しとなるため、半導体領域内部の耐電圧以下で絶縁破壊しないような距離7が必要である。つまり、半導体装置の内部ばかりでなく、外部においても設計した耐電圧以下で絶縁破壊が生じないように配慮が必要である。

以上説明してきたように、本実施例によれば高い絶縁性を有しながらも小型化が可能な、複数の回路領域とアイソレータを内蔵したモノリシック半導体装置が得られる。また、本実施例の半導体装置は、特別な半導体製造工程やLSI組立

工程を含まない通常の製造プロセスによって製造できるので、低価格化が実現できる。

図3は、本発明による半導体装置に内蔵される容量性アイソレータの回路構成の1実施例を模式的に示した図である。この図を用いてアイソレータの伝送方式を簡単に説明する。

アイソレータ4は、ドライバ部14と、高耐圧キャパシタ13を2個直列に接続し、かつ2つの伝送バスを構成した合計4個の高耐圧キャパシタからなる伝送部、レシーバ部15で構成している。ドライバ回路14、およびレシーバ部15は相互に電氣的に絶縁しているので、それぞれ独立した電源と接続するための電源端子16、17や、接地端子18、19を備えている。伝達する信号は、ドライバ部14の入力端20に入力し、ドライバ回路によってキャパシタ13の一方の端子を駆動する相補型の2つの信号波形に変換する。キャパシタ13を通して伝達した信号はレシーバ部15によって検出し、入力した波形と同等の信号に復元する。このような構成によって、入力と出力の間に高い絶縁特性を実現しながら信号成分のみを出力側に伝達することができる。このような構成によって、入力と出力の間に高い絶縁特性を実現しながら、信号成分のみを出力側に伝達することができる。本実施例ではパルス伝送方式を用いたが、他の公知技術を用いても良い。

図4の実施例は、キャパシタの代わりにトランス22を半導体チップ上に形成した例である。本実施例のアイソレータ領域4は、信号変調回路14、トランス22、信号復調回路15で構成する。トランス22は、複数の配線23と半導体装置の多層配線技術を用いて形成する。ここまで主に高耐電圧キャパシタを用いた容量性アイソレータを用いて説明したが、同一半導体チップ上に形成し同様の効果が得られるのであれば、本実施例で示したようにキャパシタを用いたアイソレータに限定されるものではない。

図5は容量性アイソレータに用いられるキャパシタを半導体装置に形成した1実施例である。SOI基板11は支持基板9と埋め込み絶縁層10、絶縁分離溝

6で構成する。絶縁分離溝6により1次側回路領域2, キャパシタ13, 2次側回路領域3は相互に絶縁分離している。本実施例による高耐電圧キャパシタ26は, 半導体領域27, 半導体領域28, 1次側回路と2次側回路を絶縁分離するために用いるSOI基板の絶縁分離溝6で構成している。すなわち, 絶縁分離溝6をキャパシタの誘電体として用いている。こうして形成した高耐電圧キャパシタ26は, 信号の変復調回路, および配線を通して絶縁分離された回路領域2, 3と接続される。このように絶縁分離溝6を用いてキャパシタを形成した場合, 高耐電圧のキャパシタ26を形成するために特別に追加する製造工程はない。また, SOI基板やSOI基板に絶縁分離溝6を形成する工程も, 最近のLSIや

5  
10  
15  
20  
25

パワーICで用いられるようになった一般的な半導体製造プロセスである。本実施例によれば, キャパシタを形成することによる製造コストを発生させることなく高絶縁性, 小型化を実現できる。

図6は容量性アイソレータに用いられるキャパシタを形成した別の1実施例である。本実施例では誘電体分離基板25を用いているが, 図5で説明したSOI基板11を用いても同様である。1次側回路領域2, キャパシタ13, 2次側回路領域3は, 絶縁分離膜24によって相互に絶縁分離する。本実施例による平板形の高耐電圧キャパシタ29は, 半導体領域30, LSIの多層配線の層間絶縁膜31, 配線32で構成している。したがって, 本実施例の場合は, 高耐電圧キャパシタ29を形成するために特別な製造工程はまったく必要ない。

また, 平板型高耐電圧キャパシタ29の製造工程は, 1次側回路領域2と2次側回路領域3を絶縁分離するために必要な誘電体分離基板25やSOI基板11の製造工程とは無関係であるため, 基板の種類はどれを用いてもよい。また, 高い耐電圧能力が必要な場合, トレンチ構造を用いたキャパシタでは, 絶縁分離溝の増加によって絶縁分離のための領域が増大するため, アイソレータ領域の増大を招くが, 平板形キャパシタは層間絶縁膜を厚くする事で耐電圧能力を高くする事ができる。したがって高い耐電圧能力が必要な場合, 図5のトレンチ構造を用いたキャパシタ26と比較して, より一層容易に小型化, 低価格化を実現するこ

とが可能である。

図7は本発明の別の1実施例を示した半導体装置の構造を模式的に示した図である。半導体装置は1つの半導体チップ1からなり、大きく分けて1次側回路領域2、2次側回路領域3で構成している。図1に示した実施例との違いは、絶縁分離した回路領域2、3の中にアイソレータ4の回路を1次回路側と2次回路側に分割し、アイソレータ領域を1次側回路領域2と2次側回路領域3に配置した点にある。本構成によれば、高耐圧の絶縁分離が必要な部分を回路領域の絶縁分離部とを共通化できるので、アイソレータを囲む絶縁分離領域の占める面積を削減する事ができる。これにより、高耐電圧化によって絶縁分離領域が占める面積が大きくなる場合、チップ面積の縮小に効果的でありコスト低減に効果がある。また、1次側回路領域2の端子電極と2次側回路領域3の端子電極との間の距離7は、必要な絶縁耐圧が得られるだけの距離に設定すれば、図に示したように端子電極が1列に並んでいる必要はない。

図8は、本発明による1実施例のチップ端面の断面図を模式的に示した図である。図2で説明したように、1次側回路領域と2次側回路領域の間に高電圧を加えた場合、支持基板9の電位は1次側回路領域と2次側回路領域の間に近い電位となる。半導体チップをダイシングした際、チップ端面はむき出しとなり、支持基板9と最外周シリコン領域33がショートしている事が十分考えられるので、支持基板9の電位とチップ表面の最外周シリコン領域33は同電位とみなす必要がある。一方、ボンディングパッド開口部34は絶縁体で囲まれた半導体領域から唯一むき出しになる部分である。したがって、最外周シリコン領域33の端部とボンディングパッド開口部34との間、および最外周シリコン領域の端部33とボンディンググワイヤ35の間にも加えた電圧の約1/2ほどの耐電圧が必要である。最外周シリコン領域33とボンディングパッド開口部間の最小距離36、および最外周シリコン領域33の端部とボンディンググワイヤ35間の最小距離37は、チップ内部の絶縁分離領域の耐電圧よりも、チップを包むモールド材の電気的特性で決まる耐電圧のほうが高いように設定する。このように、最外周シリ

コン領域とボンディングパッド開口部間距離や最外周シリコン領域とボンディングワイヤ間の距離を必要耐圧以上に設定する事により、コストの上昇を招く特別なパッケージやパッケージのモールド材料等を用いる必要が無くなる。

図9は、本発明の別の1実施例を示した半導体装置の構造を模式的に示した図である。半導体装置1は1つの半導体チップ1からなり、大きく分けて1次側回路領域2、2次側回路領域3で構成されている。また、1次側回路領域2は複数の絶縁分離溝40で、2次側回路領域3は複数の絶縁分離溝41で囲まれている。この図では、省略されて記載されているが、例えば1次側と2次側回路間で必用な耐電圧が3000V、絶縁分離溝の耐電圧が1本あたり100Vの場合、1次側回路領域2を囲む絶縁分離溝40の本数は最低でも15本、同様に2次側回路領域3を囲む絶縁分離溝41の本数は最低でも15本必要である。また、半導体装置の支持基板とショートしていると考えられるチップの最外周半導体領域33と各回路領域の外側にある半導体領域8を絶縁分離するため、1次側、2次側回路領域を含むように絶縁分離溝6cで囲んでいる。なお、本図では、図7で説明したように伝送手段であるアイソレータ部分を、1次側回路38と2次側回路39に分割し、かつ省略して表記している。図に示したように、一般に1次側回路領域2の占める面積と2次側回路領域3の占める面積が異なるケースが多い。

図10は図9の略断面構造を示した図である。1次側回路領域2や2次側回路領域3は、他の領域から電氣的に絶縁分離されているが、回路的にはいくつかの寄生容量で結合している。例えば1次回路領域2と支持基板9の間は、埋め込み絶縁層10によって回路領域と支持基板間に寄生容量44が形成される。同様に2次回路領域3と支持基板9の間にも寄生容量45が形成される。この時、この寄生容量44、45と支持基板9によって1次回路領域と2次回路領域は接続している。また、1次回路領域と2次回路領域を絶縁分離している絶縁分離溝40、41によって、寄生容量46、47が形成され、1次回路領域と2次回路領域が接続している。各回路領域の占める面積が異なる場合、1次側回路領域2と支持基板9間の容量44、2次側回路領域3と支持基板9の間の容量45も異なり、



面積が広いほど容量値も大きくなる。また、各領域間を絶縁分離している絶縁分離溝 40、41 による寄生容量も、回路領域の面積が広いほど回路領域を取り囲む周辺長が長くなるため大きくなる。よって、1 次側回路領域の面積が 2 次側回路領域の面積よりも大きい場合、各寄生容量の容量値には以下の関係が成り立つ。

5           (1 次側回路 2 と支持基板間の容量 44) > (2 次側回路 3 と支持基板間の容量 45)

          (1 次側回路 2 の分離溝寄生容量 46) > (2 次側回路 3 の分離溝寄生容量 47)

ここで 1 次側回路に高電圧を加え、2 次側回路を接地した場合、1 次側回路と  
10   支持基板間の容量 44 のほうが 2 次側回路と支持基板間の容量 45 よりも容量値  
          が大きいので、理想的には加えた電圧の  $1/2$  となる支持基板 9 の電位は、 $1/2$   
          よりも高い電位となり、SOI 基板 11 の埋め込み絶縁層厚 10 を厚くして耐電圧  
          性能を大きくする必要がある。同様に、分離溝寄生容量 46、47 にも差がある  
          ため、各絶縁分離溝 40、41 の分担する電圧は理想的には加えた電圧を絶縁分  
15   離溝の数で割った電圧となるが、寄生容量の小さい 2 次側回路の絶縁分離溝 41 の  
          ほうが分担電圧が高くなる。したがって何も対応策をとらなかった場合、回路領  
          域と支持基板間の耐圧や絶縁分離溝の耐圧は、分担電圧の一番高い値に設定しな  
          ければならない。そこで、これらの問題点を解決する方法を図 9、および図 10  
          を用いて説明する。

20       これら寄生容量の不均等による問題点を解決する第 1 の方法は、図 9 に示した  
          1 次側回路領域 2 と 2 次側回路領域 3 の面積が等しくなるように設定する事であ  
          る。この方法によれば、各回路領域の形成する容量値が等しくなるため、図 10  
          の SOI 基板 11 の埋め込み絶縁層 10 の厚みは 1 次側回路と 2 次側回路間に必要な  
          耐圧の  $1/2$  の耐電圧値に設定できるので、必要最小限の厚みに設定できる。ま  
25   た、絶縁分離溝 6 の分担電圧も均等になるので、必要最小限の値に設定できる。  
          したがって、埋め込み絶縁層の膜厚増大や絶縁分離溝領域の増大によるコスト上  
          昇を最小限にする事が可能である。一方、1 次側回路領域の面積と 2 次側回路領

域の面積が大きく異なる場合、面積の均等化に伴う不要回路領域が大きくなるため、チップ面積の増大を招く。したがって、実際に適用する場合、回路面積を均等にする事のメリットとデメリットを比較して、メリットがある場合に適用することが望ましい。

- 5 寄生容量の不均等による問題を解決する第2の方法は、回路領域の面積が異なる事を前提にして、寄生容量による電圧分担の不均等をなくす対策を施す事である。いくつかの対策を図9、および図10を用いて説明する。

図9において、絶縁分離溝40、41の分担電圧不均等を解消するには、回路領域の面積が小さいほうの絶縁分離溝の耐電圧を強化すればよい。本実施例では  
10 1次側回路と2次側回路間で必要な耐圧が3000V、絶縁分離溝1本あたりの耐圧が100Vでは、理想的には必要な絶縁分離溝の本数は各回路領域に15本、合計30本必要である。しかしながら、分離溝寄生容量が異なるため、回路面積の大きい1次側回路領域2を囲む絶縁分離溝40の絶縁分離溝40の1本が分担する電圧が100Vよりも低くなり、回路面積の小さい2次側回路領域を囲む絶縁分離溝41の1本が  
15 分担する電圧が100Vよりも高くなって絶縁破壊を起こす。1次側回路領域2と2次側回路領域3の面積比が1:2、加えた電圧が3000Vであり、2次側回路領域の周辺長を4とすれば(縦1,横1)1次側回路領域の周辺長は6(例えば縦1,横2)となる。この時、1次側回路領域2を囲む絶縁分離溝40の分担耐圧は84.3Vから86.1V(同じ回路領域を囲む絶縁分離溝でも、回路領域の内周部に近い分離溝のほうが周辺長が短いため寄生容量が小さくなるので、分担電圧は大きくなる)。2次  
20 側回路領域3を囲む絶縁分離溝41の分担電圧は113.2Vから116.5Vとなり、2次側回路領域の絶縁分離溝の分担電圧が耐電圧能力以上の値になってしまう。そこで、2次側回路領域3の分離溝本数を5本増やして合計20本とすることにより、絶縁分離溝1本あたりの分担電圧を96.5Vとして、耐電圧以下に押さえることができる。もちろん、分担電圧が低い1次側回路領域2の絶縁分離溝40の本数を減  
25 らす事により、1次、2次側回路間の必要な絶縁分離溝の総数(この場合30本)をほとんど増やす事なく、すべての絶縁分離溝がそれぞれの耐電圧値を超えない値

にする事が可能となる。例えば先ほどの例では、1次側を15本、2次側を20本として合計35本必用であったが、1次側は元々分担電圧が低いので11本とし、2次側は20本とすることで、合計31本に押さえることができる。これにより、回路領域の面積が異なる場合においても、絶縁分離溝の占有する面積を増加させる事がないので、チップ面積増加によるコスト上昇を押さえる事ができる。

次に、回路領域と支持基板間容量の不均等による分担電圧の不均等を解消する方法を2つ説明する。まず第1の方法は、図9に示したように回路面積の大きな1次側回路領域2に絶縁分離溝6gで囲んだ未給電領域42を設けて、1次側回路と支持基板間の容量を減らす方法である。以下に具体的な方法を説明する。1次側回路領域2や2次側回路領域3には、図9では省略しているが、実際にはMOSFETなどの半導体素子を集積している。この場合、各半導体領域の電位は電源電圧、もしくは接地電位に固定している。そのため、各半導体領域とSOI基板の支持基板9の間に寄生容量が現れる。既に述べたように、各寄生容量は半導体領域の占める面積に比例して大きくなる。そこで、この寄生容量を減らすため、回路領域内部に電源電圧や接地電位にも接続されていない。つまり電氣的にフローティングな領域42を絶縁分離溝6gで形成する。すると、絶縁分離溝6gで囲まれたフローティング領域、つまり未給電領域42は、1次側回路と電氣的に直接接続していないため、未給電領域42の占める面積が支持基板9と埋め込み絶縁層10で形成する寄生容量分は元の1次回路領域2の寄生容量から除外される。より正確には、未給電領域42と支持基板9による寄生容量は、未給電領域42を囲む絶縁分離溝6gによる微少な寄生容量と直列接続されるため、ほぼ無視できるほど微少な寄生容量値になり、見かけ上、未給電領域の対支持基板容量をなくす事ができる。このような未給電領域は、ボンディングパッドの下43や回路の隙間など、回路がなく、給電が必要でない領域をフローティング電位とすることで実現できる。こうして、1次側回路領域と支持基板間の容量44を回路面積を変更することなく減らすことができ、2次側回路領域と支持基板間の容量45と同じ値に設定できる。本方式によれば、面積面積が異なる時に生じる電圧分担の不均等を、

チップ面積を増やす事なく解消する事が可能であるので、チップ面積増大によるコスト上昇を押さえる事ができる。もちろん、チップ面積に余裕があれば、絶縁分離溝 6 で囲んだ給電領域を新たに設定し、回路面積の小さい 2 次側回路領域 3 と電氣的に接続する事で 2 次側回路と支持基板間の容量を増大させて電圧分担の

5 バランスを保っても良い。

回路領域と支持基板間の容量の不均等による分担電圧の不均等を解消する第 2 の方法は、半導体チップの外側に各回路領域の接地端子電極と支持基板の間に外付けの容量を接続し、外付け容量の容量値で電圧分担が決まるようにする方法である。図 10 に示したように、例えば各回路領域と支持基板間の容量よりも十分に大きな容量 48 を外付けすれば、支持基板の電圧は外付け容量 48 の容量比で決定される。本方式の場合、先に示した給電、未給電領域を設定する方法よりも回路領域と支持基板間の容量を大きく制御する事が可能である。また、外付け容量 48 によって見かけ上、回路領域と支持基板間の容量が大きくなるので、アイソレータ間のクロストークが減少し、対ノイズ性能が向上するというメリットもある。

10

15

以上、回路面積の不均等が引き起こす分担電圧不均等の問題を解決する方法を 3 つ例に挙げて説明したが、それぞれを組み合わせる対策を取ればより効果的である事は言うまでもない。

図 11 は、本発明による半導体装置に内蔵する容量性アイソレータの回路構成の 1 実施例を模式的に示した図である。アイソレータ 4 はドライバ部 14 とキャパシタ 13、レシーバ部 15 で構成されている。ドライバ部 14 およびレシーバ部 15 は相互に電氣的に絶縁されている必要があるので、それぞれ独立した電源と接続するための電源端子 16、17、18、19 を備えている。本実施例では、アイソレータのドライバ部 14 近傍の電源と接地の間に容量 49 を接続する。相補型の信号によって伝送するので、ドライバ部 14 は基本的にインバータで構成

20

25

する。このため、伝送信号の立ち上がりや立ち下がりで大きな電流ピークを生じる。この電流ピークはドライバ部 14 だけでなく外側の回路の雑音源になる。し

かし、ドライバ部 14 近傍の電源と接地の間に容量 49 を接続することにより、電源配線の抵抗 50 と容量 49 によるフィルタが形成され、また容量 49 が電池の役目を果たす事により、アイソレータの送信アンプが発生する電流波形による電源パッド部でのピーク電流を低減する効果がある。したがって、パッド部での雑音減少、および他の回路への雑音の影響が低減するので、対雑音性能の向上のためには効果的である。また、図 10 で説明した回路面積の不均等を解消するための調整回路領域に本実施例の容量を形成する事で、分担電圧のバランス化と雑音の低減を両立する事が可能である。

図 12 は、図 1 や図 7、図 9 に示した本発明による半導体装置 1 の 1 実施例の実装形態を示す斜視図（一部は断面図）である。SOP (Small Outline Package) タイプのパッケージにモールドし、図においては見やすいように半導体装置を大きめに誇張し、その断面を簡略化して表記している。リードフレームのダイパッド 54 上に、本発明の半導体チップ 1 を搭載する。半導体装置の 1 次側回路領域 2 は、アルミや金などのボンディングワイヤ 35 a によってボンディングパッド 5 とリード 52 a の間を接続し、半導体装置の外部と電氣的に接続する。同様に 2 次側回路領域 3 もボンディングワイヤ 35 b によってボンディングパッド 5 とリード 52 b の間を接続し、半導体装置の外部と電氣的に接続する。このようにしてボンディングワイヤ 35 でリード 52 と電氣的に接続した本実施例による半導体装置は、レジンなどのモールド材 72 によってモールドする。ここで、1 次側回路領域 2 と接続したリード 52 a と 2 次側回路領域 3 と接続したリード 52 b の間に高電圧を加える。半導体装置 1 の内部においては埋め込み絶縁層 10 などの絶縁分離体によって電氣的に絶縁分離している。半導体装置の支持基板 9 は、加えた電圧のおよそ 1/2 の電位となるので、ダイパッドの電位も印加電圧の約 1/2 となる。したがって、1 次側リード 52 a と 2 次側リード 52 b に電圧を加えると、リード 52 a - リード 52 b 間のほか、半導体装置 1 の 1 次側回路領域 2 - 2 次側回路領域 3 間、回路領域 - 支持基板 9 間、1 次側ボンディングワイヤ 35 a - 2 次側ボンディングワイヤ 35 b 間、ボンディングワイヤ 35 - 支持基板 9 間、

ダイパッド5・4ーリード5・2間など、いろいろな領域で電位差が生じる。しかし、これまで説明してきた半導体装置内部における絶縁分離に加えて、半導体外部においても絶縁のための処理をする事で、全体として耐電圧を確保する事ができる。図12において、ボンディングワイヤ35を引き出す方向を、1次側と2次側で反対の方向に引き出す。このような構造にすることによって、半導体装置の外部においても絶縁距離をとる。もちろんこれらの絶縁距離は、モールド内、モールド外を問わず、仕様で規定したアイソレータの耐電圧値よりも高い耐電圧性能を確保するように設定する事は言うまでもない。次に、図13から図16で本発明による半導体装置の実装形態について説明する。

図13は、図1や図7、図9に示した本発明による半導体装置を外部パッケージにモールドした1実施例である。リードフレーム上に配置されたアイソレータを含む半導体チップ1は、アルミや金などのボンディングワイヤ51によって半導体装置のボンディングパッドとリード52a、52b間を接続する。リード52a、52bは、絶縁距離を取るために、半導体チップ1の外部において、それぞれ1次側回路領域2の側のボンディングパッド側と2次側回路領域3の側のボンディングパッド側に設ける。そして、リード52a、52bは、それぞれ1次側回路領域2の側のボンディングパッド側、2次側回路領域3の側のボンディングパッドに電氣的に接続する。

リード52a、52bの間の空間距離53は、リード52a、52b間が絶縁破壊を起こさないような大きさの距離にする。実際には、耐電圧性能で定めた最小空間距離以上になるようにする。したがって、1次側のリード52aと2次側のリード52bの距離が容易にとれるSOPタイプのパッケージがよい。もちろん、製品仕様に定めた最小空間距離を満たしていれば、SOPタイプのパッケージに限らずQFP (Quad Flat Package) などのパッケージを用いても良い。なお、本実施例においては、リード52a、52bは、それぞれ、矩形状の半導体チップ1の周辺部の外側において、その矩形の向かい合う2辺に沿って配列されること、それらの2辺がボンディングパッドが配列される2辺であること、さら

にリードが半導体チップの周辺部から外側に向かってしかも前述の2辺に対して垂直な方向に延びていることにより、リード52a、52bは十分な絶縁距離をとって配置される。

また、半導体装置がモールドされているインナーリード（リードがモールドされている部分）についても注意が必要である。これまで説明したように、1次側回路領域と2次側回路領域間に高電圧を加えたとき、支持基板の電位は1次側回路領域と2次側回路領域のおよそ半分の電位となる。したがって、半導体チップを保持しているダイパッド54と1次側回路領域、または2次側回路領域と電気的に接続されているインナーリード間の距離55は、この電圧に耐えるに必要な距離に設定する。この際、ダイパッド54とインナーリード間の最小距離は、モールド材料の電気的特性と耐電圧仕様から求める事ができ、この実施例では0.35mmである。同様にダイパッド54から引き出されているリード56と1次側回路領域、または2次側回路領域と電気的に接続されているアウターリード52間の距離57も必要な絶縁距離に設定する。この際、ダイパッドとアウターリード間の距離は、最小空間距離によって決まる耐電圧で決定できる。

本構成によって、モノリシックに構成された本発明による半導体装置は、高価な専用のパッケージやマルチチップモジュール等を用いる事なく、安価な汎用のSOPタイプやQFPタイプのパッケージで提供する事ができるので、低価格化に大変効果的である。

図14は図1や図7、図9の半導体装置をパッケージにモールドした別の1実施例である。なお、図14においては、半導体チップの詳細及びボンディングワイヤなどの配線を省略している。本実施例では、半導体装置1の支持基板部分に電気的に接続したダイパッドから引き出したリード56と、1次側回路および2次側回路のボンディングパッドに接続したリード52を、ボンディングパッドに接続していない未使用リード58を挟むように配置する。これにより、リード間の距離が狭く、必要とする空間距離が取れないような狭ピッチリードのパッケージにおいても、1次側回路、1次側と2次側のほぼ中間電位となる支持基板、2

次側回路の相互間を高い絶縁特性を持たせることが可能となり、より一層の小型化が可能である。

図15は、図1や図7、図9の半導体装置をパッケージにモールドした別の1  
実施例である。なお、図14においては、半導体チップの詳細及び配線は省略し  
5 ている。本実施例では、QFPタイプのパッケージを用いて半導体装置をモールドし  
た例である。1次側回路の端子電極と接続したリードは、図の上部59aおよび  
右側59bに、2次側回路領域の端子電極と接続したリードは、下部60aおよ  
び左側60bにまとめている。本実施例の場合、ダイパッド54から引き出され  
ているリード56と1次側回路、2次側回路のリード間距離は、必要な絶縁距離  
10 に設定する。本実施例においても、図14で説明した未使用リードを設けて必要  
な空間距離を取る方法が有効である事は言うまでもない。例えば、1次側回路領域  
と接続したリード群59aの一番右端のリード58と、ダイパッド54から引き  
出したリード56の間の距離57aは、半導体装置の耐電圧以下で絶縁破壊を起  
こさないような空間距離でなくてはならない。この時、パッケージのリードピッ  
15 チが必要は絶縁分離距離よりも小さかった場合、一番右端のリード58を1次側回  
路領域と未接続にすることで、1次側回路と接続したリード群59aとダイパッド  
から引き出したリード56との距離を、1次回路側リード群59aと未接続リード  
58間の距離57bに、未接続リード58とダイパッドのリード56間の距離5  
7aを加えた値と見なせ、絶縁分離に必要な距離を得る事ができる。このように  
20 本実施例の場合、パッケージの外側に引き出したアウターリード間の距離が、必  
要な絶縁距離以上に設定するように注意を払う必要があるが、SOPタイプのパッ  
ケージを用いたものと比較すると、パッケージの占有面積に対して利用可能な  
リードの本数を多く取る事ができるので、集積化にはより効果的である。

図16は、図1や図7、図9の半導体装置をパッケージにモールドした別の1  
25 実施例である。なお、図16においては、半導体チップの詳細は省略している。  
本実施例では、半導体装置をのせたダイパッド54からリード56を引き出し、  
1次側回路、2次側回路の接地端子電極と接続したリード52との間にそれぞれ



高耐圧のチップコンデンサ 6 1 を接続している。本実施例のように 1 次側のリード群や 2 次側リード群と異なる方向にダイパッド 5 3 からのリード 5 6 を引き出す事により、1 次側回路とダイパッド間、および 2 次側回路とダイパッド間の絶縁分離を容易に実現する事が可能である。また、本実施例により、図 9 および図 1 0 で説明した外付け容量を実装する事が容易になる。

なお、上記の各実施例は、適宜組み合わせることが可能である。以上説明してきた実施例では、SOP や QFP タイプのパッケージを例に取り上げたが、TCP (Tape Carrier Package) タイプのパッケージとボッティングによって本発明の半導体装置を実装した場合においても適用できる事は言うまでもない。また、上記の各実施例による半導体装置を、通信回線と端末装置との間に接続され通信回線と前記端末装置との間で伝送される信号を変復調するモデム回路に用いて、通信回線と端末装置との間を絶縁分離することができる。また、上記の実施例による半導体装置を医療・計測機器に用いれば、各種センサ部と信号処理回路の間を絶縁分離する事ができる。

図 1 7 は、本実施例を応用してモデム用アナログフロントエンド (Analog Front End) LSI を構成した 1 実施例である。本実施例の場合、1 次側回路領域 2 を電話回線側回路 (Line 側回路)、2 次側回路領域 3 を端末側回路 (Host 側回路) とする。Line と Host 間は 3 0 0 0 V 以上の絶縁性が必要であるが、本実施例によれば、数千 V の絶縁耐圧が可能である。アイソレータ 4 は Line と Host 間の絶縁を保ちながら Line 側から Host 側へ、もしくは Host 側から Line 側へ信号を伝送する役目を果たしている。Line 側回路にはフィルタやアンプ 6 2、A/D (Analog to Digital) コンバータ 6 3、D/A (Digital to Analog) コンバータ 6 4 の回路が形成され、Host 側には各種のデジタルフィルタや DSP (Digital Signal Processor) 6 5 が形成される。アイソレータ 4 は製造の容易性と低価格化の面から、絶縁分離のための高耐圧のキャパシタと送信、受信アンプからなる容量性アイソレータを用いる。ボンディングパッド 5 は、最小空間距離 7 が安全規格によって定められた絶縁協調のための距離を満たすよう

に配置する。さらに、このようなモデム回路を、パーソナルコンピュータなどの  
端末装置に内蔵すれば、論理演算回路などの端末装置の内部回路と通信回線との  
間を絶縁分離することができる。このように、本発明による半導体装置をモデム  
回路やモデム回路を内蔵する端末装置に応用すれば、これらの回路や装置を小型  
5 化することができる。

図18は、1次側回路2と2次側回路3間の絶縁分離と信号伝送に特化して、  
アイソレータ4を集積化した本発明を応用した1実施例である。従来から用いら  
れているフォトダイオードを用いたアイソレータと比較して、従来の半導体装置  
の製造工程とまったく同一の製造工程でアイソレータを形成できるため、より低  
10 コストで製造ができる。また、同一半導体チップ上に多数のアイソレータを集積  
できるので、絶縁破壊を起こさない最小限の距離に配置する事ができ、チップ面  
積縮小や部品点数の削減などによるコスト低減、小型化、多チャンネル化が可能  
である。

図19は、本発明による別の1実施例を示した図である。これまで説明してき  
15 た実施例は2つの絶縁分離された回路領域を用いた例であったが、絶縁分離され  
た回路領域を複数存在させる事も可能である。本実施例では、アイソレータのレ  
シーバ回路部を含む制御回路70を共通の回路領域66に配置し、アイソレータ  
のドライバ回路部71を含む制御回路を独立した回路領域67から69で構成し  
ている。本構成により、ドライバ回路とレシーバ回路間、および各ドライバ回路  
20 間で電氣的に絶縁分離が実現でき、かつそれぞれ絶縁分離された回路からの信号  
伝送が可能となる。本実施例を用いれば、互いに独立した電気機器の各種情報を  
高い絶縁分離を実現したままで情報の集積化が可能となる。また、これまで説明  
してきたアイソレータと製造方法に違いはないため、小型かつ低価格で実現する  
事が可能である。

#### 産業上の利用可能性

本発明によれば、高い絶縁性を有しながらも小型、または低価格の半導体装置

が実現できる。

## 特許請求の範囲

1. 1つの半導体チップが、  
第1の回路領域と、  
5 前記回路領域に電氣的に接続される複数の第1の端子電極と、  
第1の回路領域とは電氣的に絶縁分離された第2の回路領域と、  
第2の回路領域と電氣的に接続される複数の第2の端子電極と、  
前記複数の第1の端子電極と前記複数の第2の端子電極との間を電氣的に分離し、かつ前記第1の端子電極と前記第2の端子電極との間で信号を伝達する伝送手段を有することを特徴とする半導体装置。  
10
2. 請求項1において、前記複数の第1の端子電極と前記複数の第2の端子電極との間の距離は、少なくとも前記絶縁分離領域の耐電圧以下の電圧で絶縁破壊を起こさないような値に設定されていることを特徴とする半導体装置。
3. 請求項1において、前記複数の第1の端子電極が前記半導体チップの1辺  
15 に沿って配列され、前記複数の第2の端子電極が前記半導体チップの前記1辺と対向する他の1辺に沿って配列されることを特徴とする半導体装置。
4. 請求項1において、前記伝送手段が、前記半導体チップの半導体領域に形成された絶縁分離溝を誘電体とするキャパシタを内蔵していることを特徴とする半導体装置。
- 20 5. 請求項1において、前記伝送手段が半導体チップ上の層間絶縁膜を誘電体とする平板形キャパシタを内蔵していることを特徴とする半導体装置。
6. 請求項1において、前記端子電極のボンディング用開口部と半導体チップの終端部間の最小距離は、少なくとも前記絶縁分離領域の耐電圧以下の電圧で絶縁破壊を起こさないような値に設定されていることを特徴とする半導体装置。
- 25 7. 請求項1において、前記端子電極に接続されたボンディングワイヤと半導体チップの終端部間の最小距離は、少なくとも前記絶縁分離領域の耐電圧以下の電圧で絶縁破壊を起こさないような値に設定されていることを特徴とする半導体

装置。

8. 請求項1において、前記第1の回路領域の占める面積と前記第2の回路領域の占める面積が異なるとき、占有面積が小さい回路領域の耐電圧能力の方をより高くすることを特徴とする半導体装置。

5 9. 請求項8の半導体装置において、回路領域を絶縁分離溝で絶縁分離し、占有面積が小さい回路領域を絶縁分離している絶縁分離溝の本数の方をより大きくすることによって、耐電圧能力をより高くしたことを特徴とする半導体装置。

10 10. 請求項1において、前記第1の回路領域の占める面積と前記第2の回路領域の占める面積が異なるとき、占有面積が大きい回路領域の内部に絶縁分離手段によって電氣的にどの領域とも接続されていない領域を設定したことを特徴とする半導体装置。

15 11. 請求項1において、前記第1の回路領域の占める面積と前記第2の回路領域の占める面積が異なるとき、占有面積が小さい回路領域の外部に占有面積が小さい回路領域と電氣的に接続された領域を絶縁分離手段によって新たに設定したことを特徴とする半導体装置。

20 12. 請求項1において、前記第1の回路領域の占める面積と前記第2の回路領域の占める面積が異なるとき、占有面積が大きい回路領域の内部に絶縁分離手段によって電氣的にどの領域とも接続されていない領域を設定し、かつ占有面積が小さい回路領域の外部に占有面積が小さい回路領域と電氣的に接続された領域を絶縁分離手段によって新たに設定したことを特徴とする半導体装置。

13. 請求項1において、前記第1の回路領域の占める面積と前記第2の回路領域の占める面積が異なるとき、前記半導体装置の外部に、回路領域と回路領域以外の間に容量を接続したことを特徴とする半導体装置。

25 14. 請求項1において、伝送手段の近くの電源と接地間に容量を接続したことを特徴とする半導体装置。

15. 請求項14において、前記容量の占める面積を、各回路領域の面積が等しくなる値に設定したことを特徴とする半導体装置。

16. 請求項1において、さらに、前記半導体チップの外部に、前記複数の第1の端子電極側に位置する複数の第1のリードと、前記複数の第2の端子電極側に位置する複数の第2のリードとを有し、前記複数の第1の端子電極は前記複数の第1のリードに電氣的に接続され、前記複数の第2の端子電極は前記複数の第2のリードに接続されることを特徴とする半導体装置。

17. 請求項16において、前記複数の第1のリードと、前記複数の第2のリードとの間の距離は、少なくとも前記絶縁分離領域の耐電圧以下の電圧で絶縁破壊を起こさないような値に設定されていることを特徴とする半導体装置。

18. 請求項16において、半導体装置の支持基板に電氣的に接続されたダイバッドと前記複数のリード間の距離は、少なくとも前記絶縁分離領域の耐電圧以下の電圧で絶縁破壊を起こさないような値に設定されていることを特徴とする半導体装置。

19. 請求項16において、前記複数の第1のリードが前記半導体チップの1辺に沿って配列され、前記複数の第2のリードが前記半導体チップの前記1辺と対向する他の1辺に沿って配列されることを特徴とする半導体装置。

20. 請求項16において、前記複数のリードは、前記半導体チップの周辺部から外側に向かって伸びていることを特徴とする半導体装置。

21. 請求項16において、前記複数のリードは、前記半導体チップの周辺部から外側に向かって、前記一辺および前記他の一辺に対し垂直な方向に伸びていることを特徴とする半導体装置。

22. 請求項16において、前記複数のリードに、前記複数の端子電極と接続されないものが含まれることを特徴とする半導体装置。

23. 通信回線と端末装置との間に接続され、前記通信回線と前記端末装置との間で伝送される信号を変復調し、請求項1乃至22のいずれか1項に記載の半導体装置によって前記通信回線と前記端末装置との間を絶縁分離するモデム回路。

24. 通信回線と内部回路との間に接続され、前記通信回線と前記内部回路との間で伝送される信号を変復調し、請求項1乃至22のいずれか1項に記載の半

導体装置によって前記通信回線と前記内部回路との間を絶縁分離するモデム回路、  
を内蔵する端末装置。

25. 請求項1乃至22のいずれか1項に記載の半導体装置によって、複数の  
伝送手段を集積し、前記第1の端子電極と他の端子電極との間で、絶縁分離と信  
5 号伝送を実現したアイソレータアレイ。

1 / 10

図 1

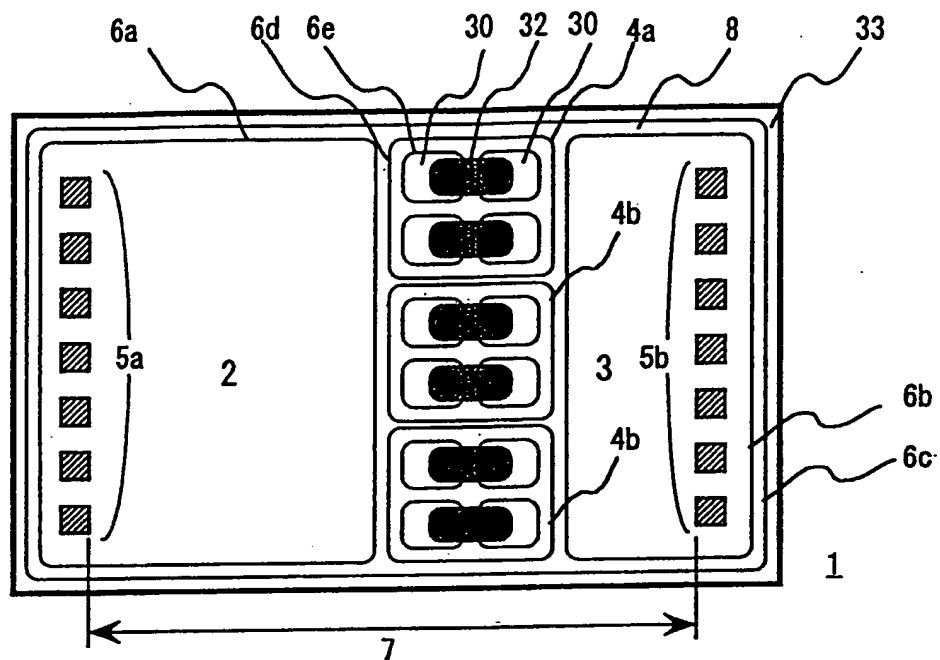
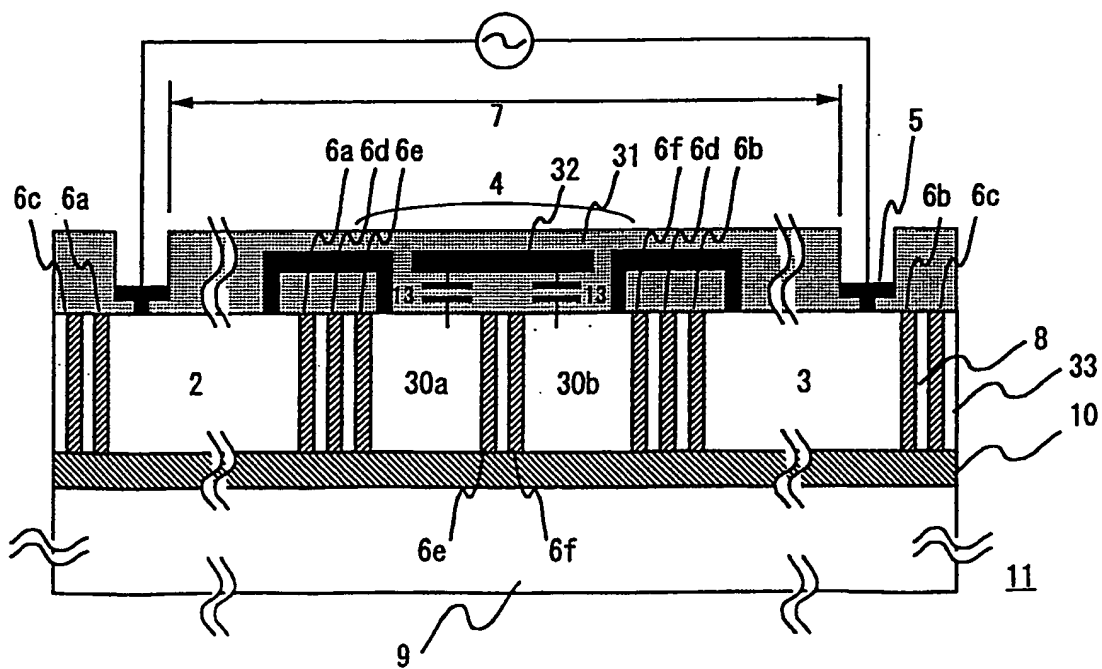


図 2





2 / 10

図 3

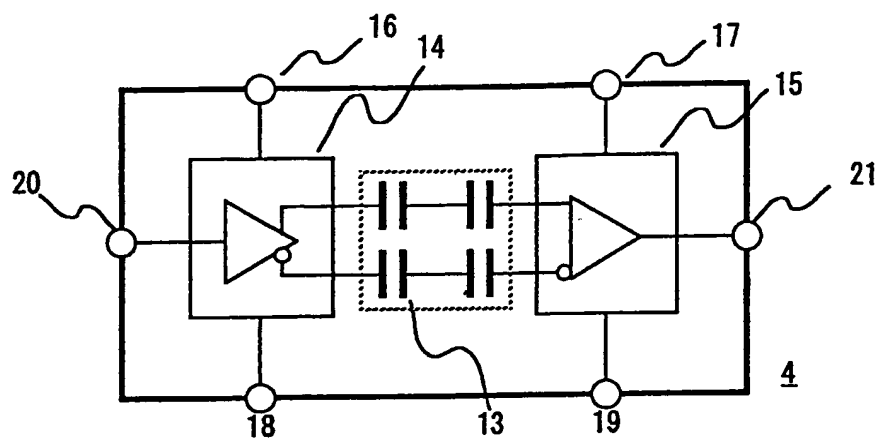
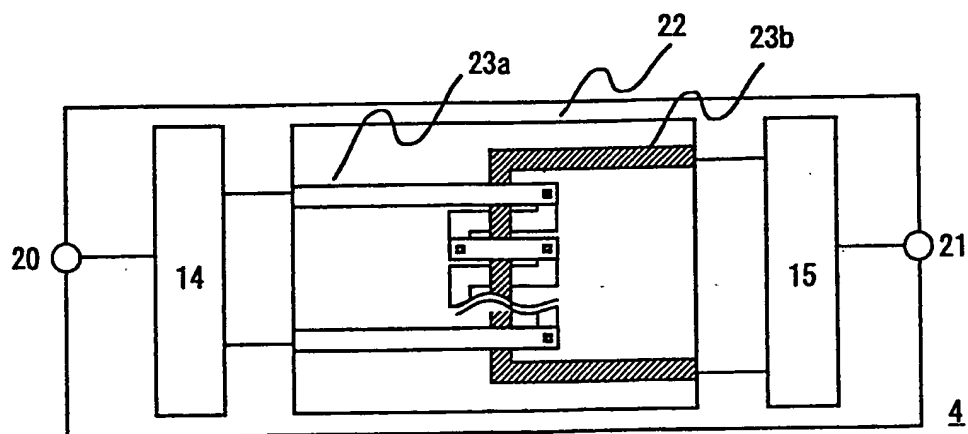


図 4



3 / 10

図 5

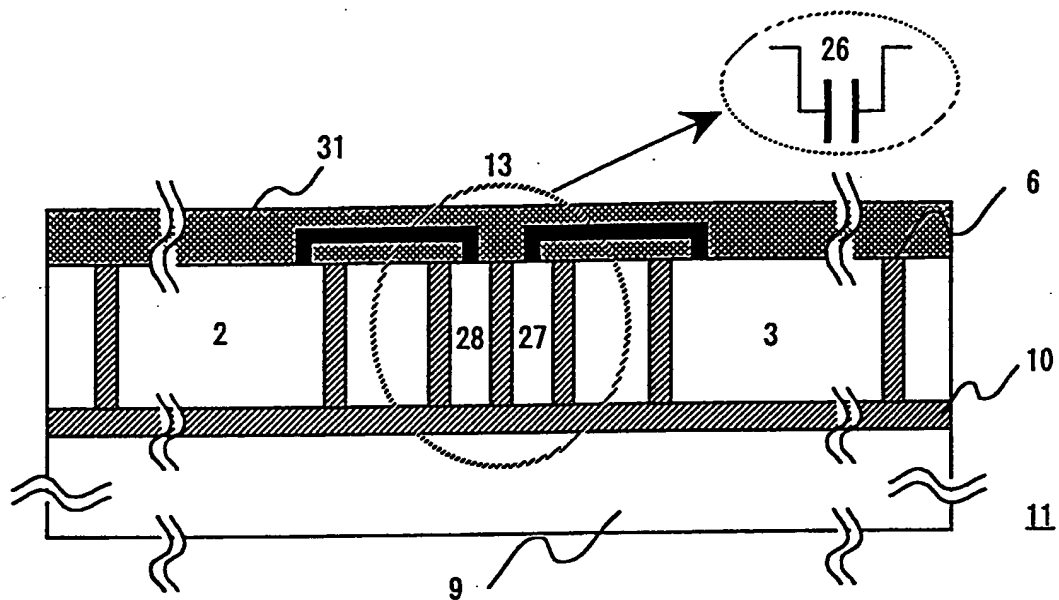
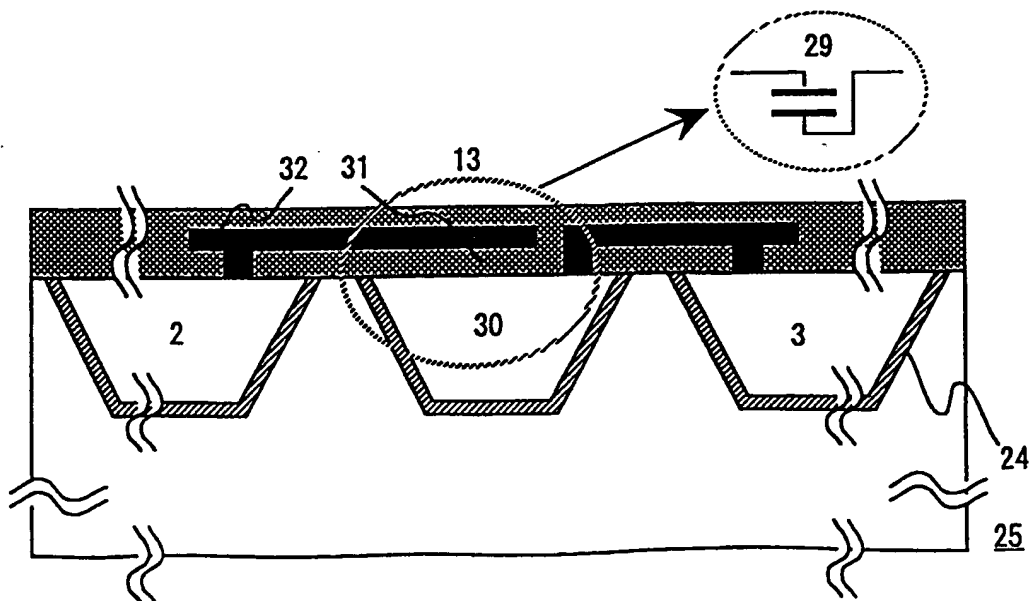


図 6



4 / 10

図 7

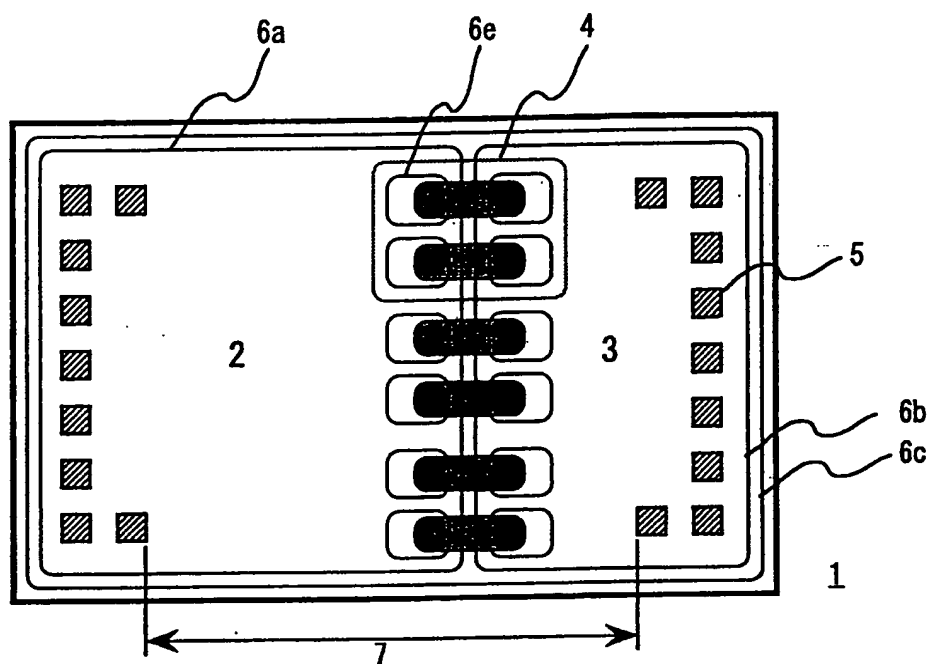
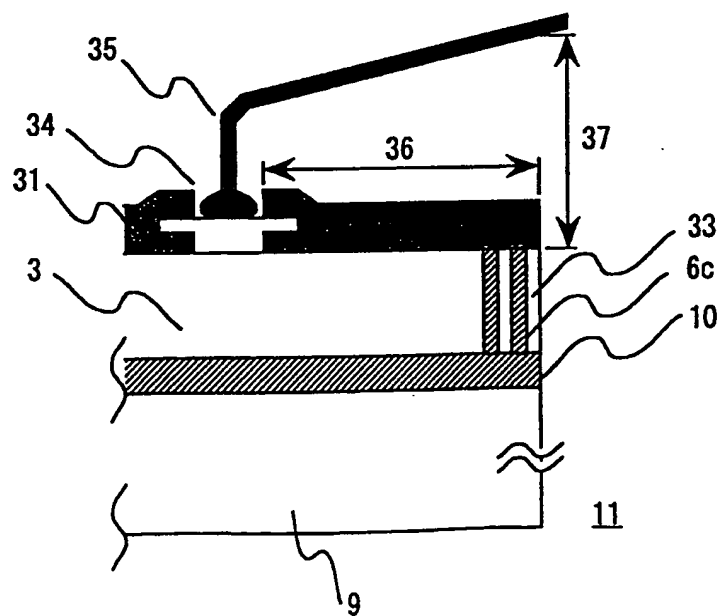


図 8



5 / 10

図 9

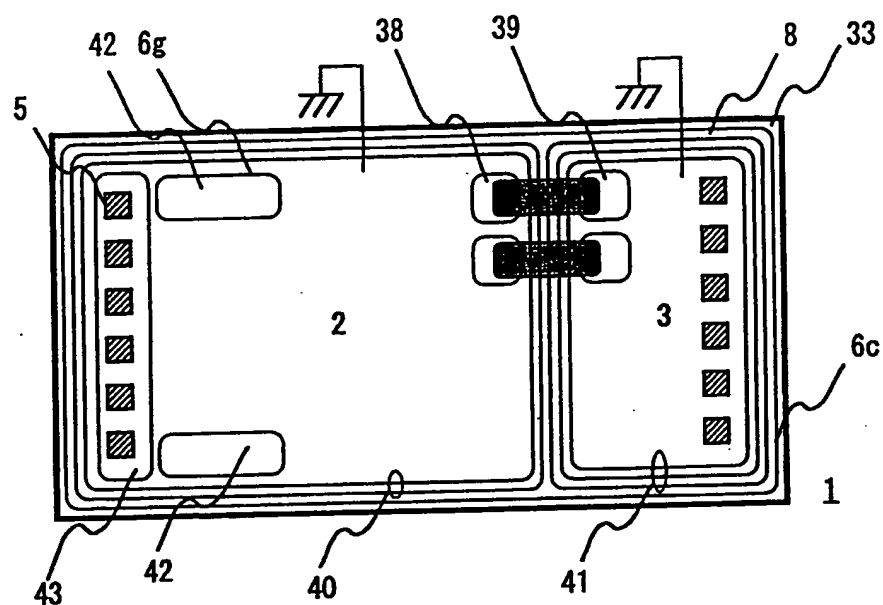
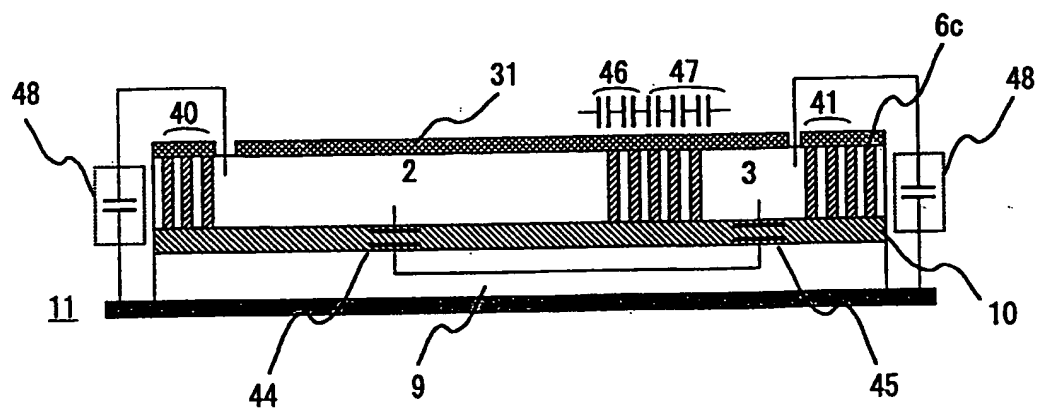


図 10



6 / 10

図 11

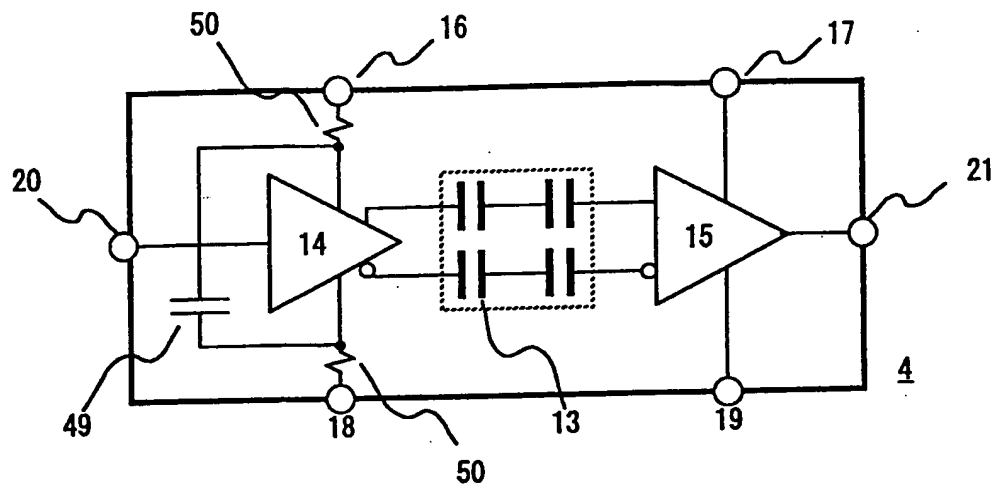
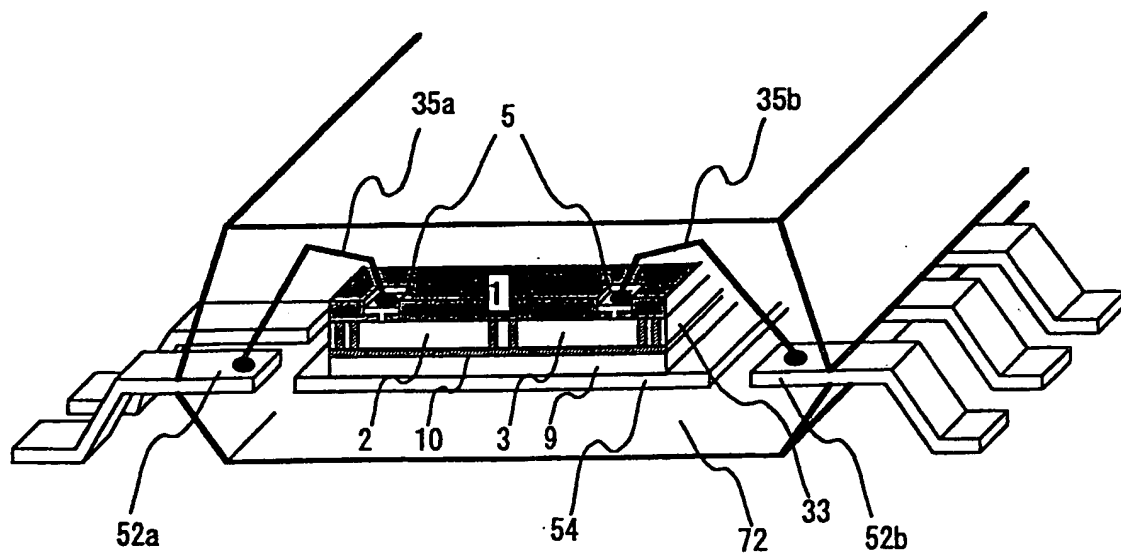


図 12



7 / 10

図 13

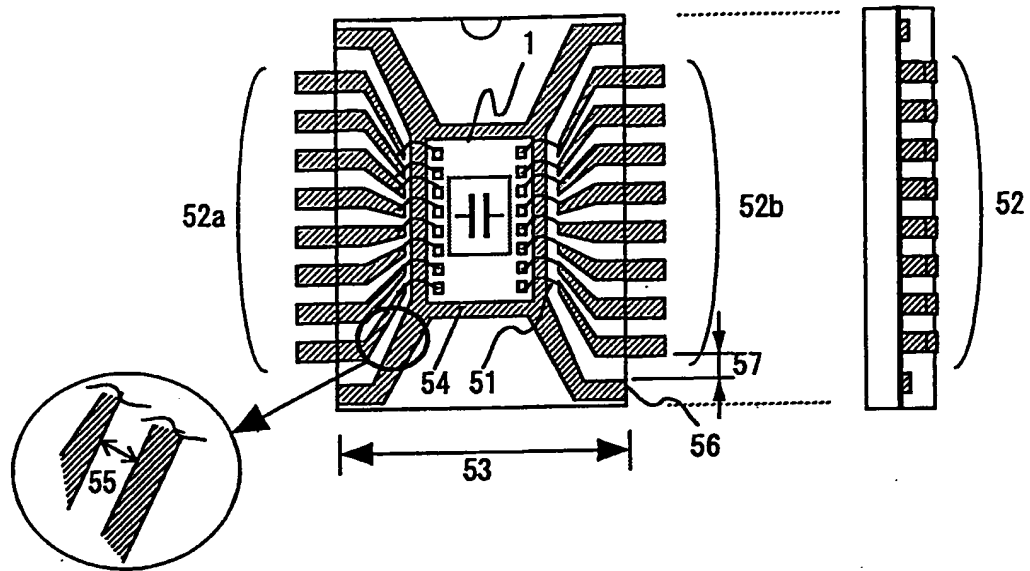
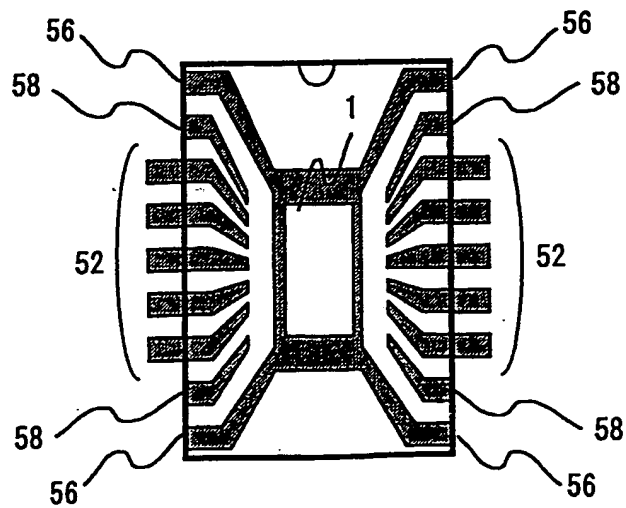


図 14



8 / 10

図 15

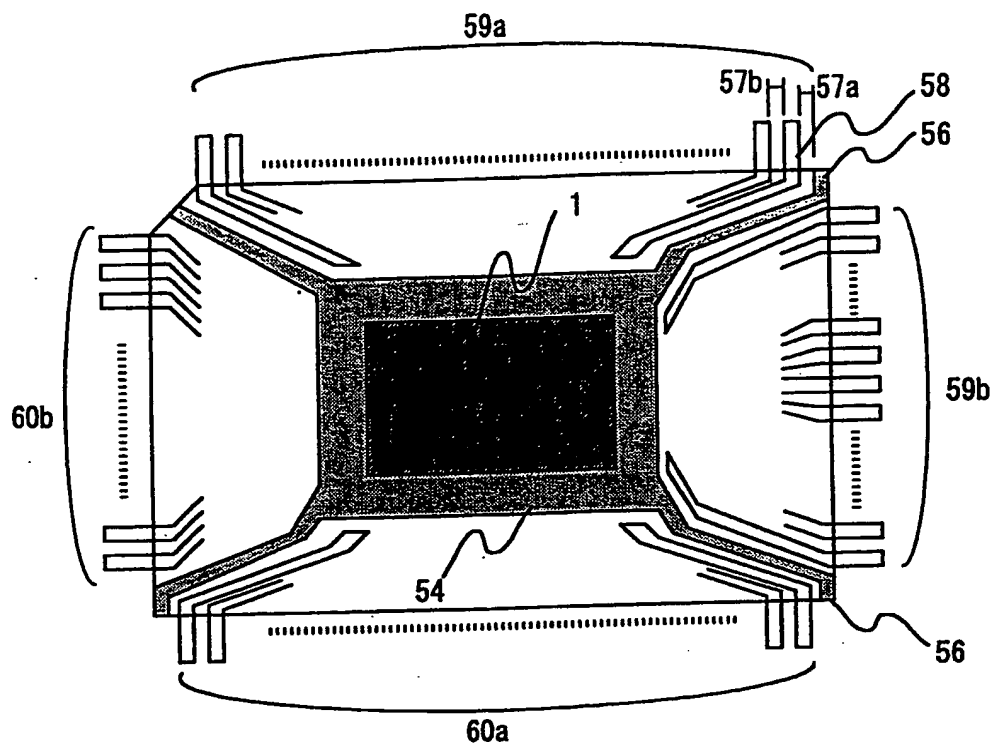
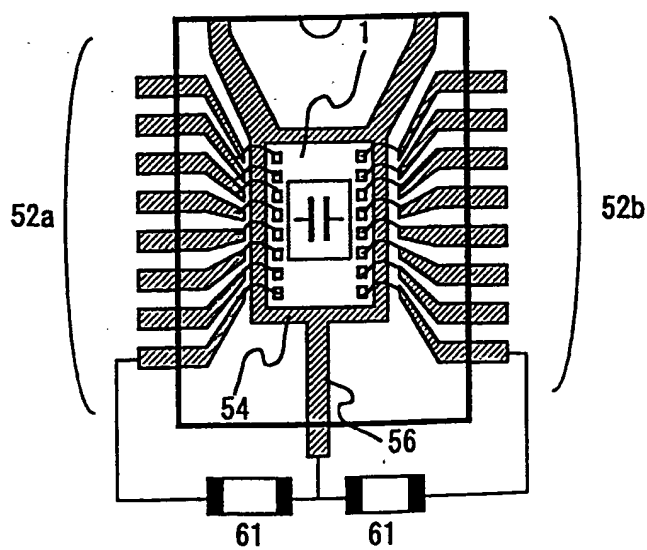


図 16



9 / 10

図 17

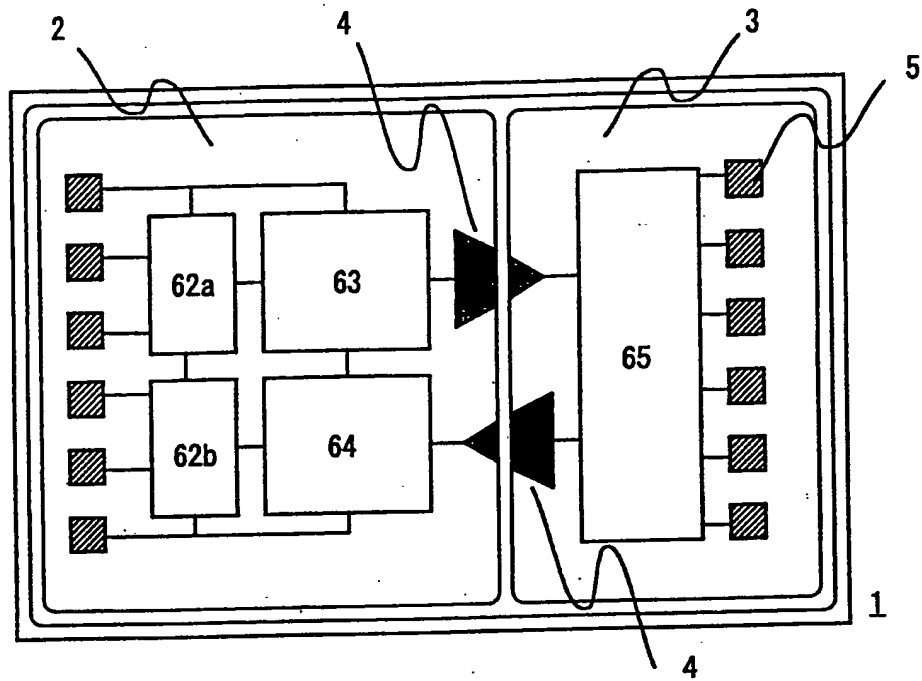
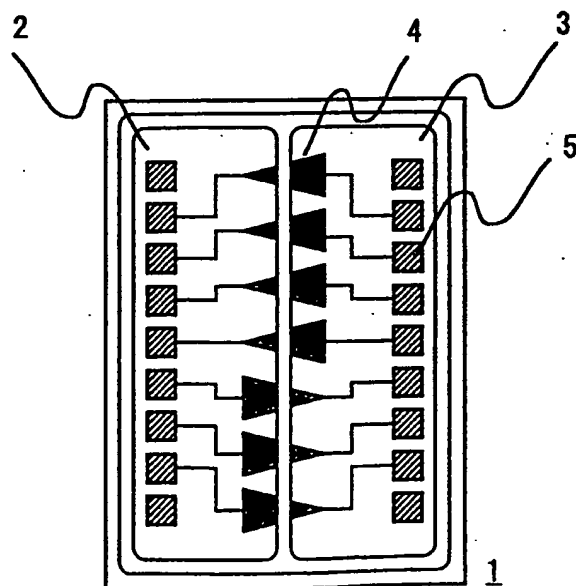


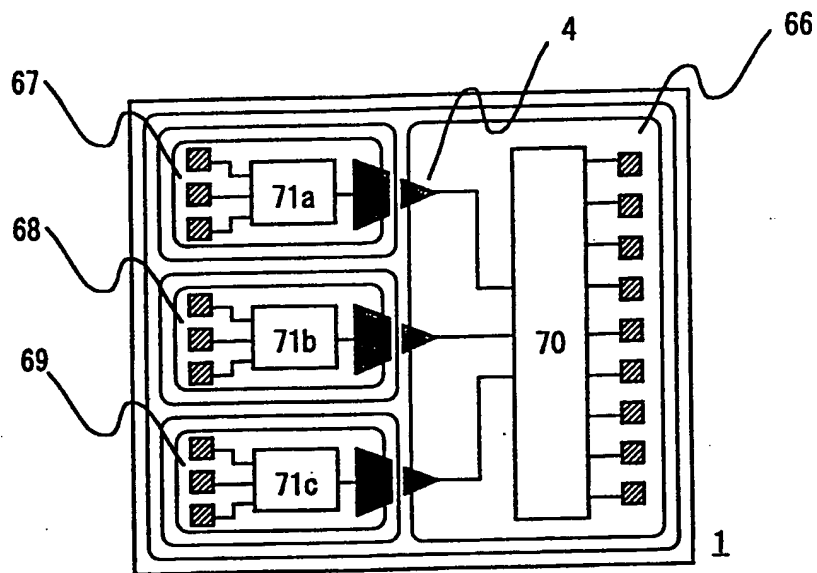
図 18





10 / 10

図 19



# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP99/02913

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>6</sup> H01L27/04, H01L21/822, H01L21/762, H01L27/12, H01L23/50

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>6</sup> H01L27/04, H01L21/822, H01L21/762, H01L27/12, H01L23/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1972-1999  
Kokai Jitsuyo Shinan Koho 1972-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP, 9-232622, A (Nippondenso Co., Ltd.), 5 September, 1997 (05. 09. 97), Par. Nos. [0012] to [0017] ; Figs. 1, 2 (Family: none)	1, 25 2, 3, 16-21, 23, 24

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

\* Special categories of cited documents:  
"A" document defining the general state of the art which is not considered to be of particular relevance  
"E" earlier document but published on or after the international filing date  
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
"O" document referring to an oral disclosure, use, exhibition or other means  
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
"&" document member of the same patent family

Date of the actual completion of the international search  
24 August, 1999 (24. 08. 99)

Date of mailing of the international search report  
31 August, 1999 (31. 08. 99)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## 国際調査報告

国際出願番号 PCT/J P 99/02913

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. cl.<sup>8</sup> H01L27/04, H01L21/822, H01L21/762, H01L27/12,  
H01L23/50

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. cl.<sup>8</sup> H01L27/04, H01L21/822, H01L21/762, H01L27/12,  
H01L23/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1972-1999年  
日本国公開実用新案公報 1972-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P, 9-232622, A (日本電装株式会社) 5. 9月. 19 97 (05. 09. 97)., 第12-17段落, 第1-2図 (ファ ミリーなし)	1, 25 2, 3, 16-21, 23, 24

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

24. 08. 99

国際調査報告の発送日

31.08.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

河本 充雄

4M 9056

印

電話番号 03-3581-1101 内線 3462